

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339276

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H03H 11/20  
H03H 7/20

(21)Application number : 2000-160891

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.05.2000

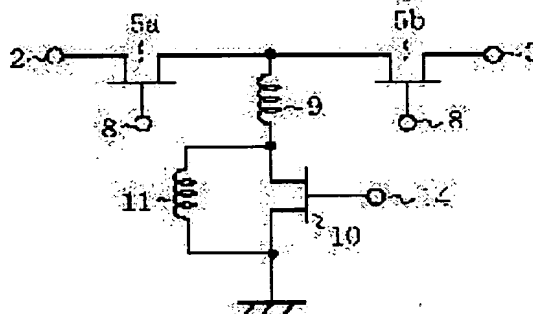
(72)Inventor : NAKAHARA KAZUHIKO  
MIYAGUCHI KENICHI  
HIEDA MORISHIGE  
TAKAGI SUNAO

## (54) PHASE SHIFTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To overcome the problem such that a conventional phase shifter increases in loss as the circuit and becomes large-sized since it is constituted by using many FETs, an inductor, and a capacitor.

**SOLUTION:** The phase shifter is equipped with an input terminal 2 and an output terminal 3, FETs 5a and 5b which are connected in series between the input terminal 2 and output terminal 3 and have their gates connected in common, an inductor 9 which has one end connected to the connection position of the FETs 5a and 5b, an FET 10 which is connected between the other end of the inductor 9 and a ground part, and an inductor 11 which is connected in parallel to the FET 10.



## LEGAL STATUS

[Date of request for examination] 24.02.2003

[Date of sending the examiner's decision of rejection] 13.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-10143

[Date of requesting appeal against examiner's decision of rejection] 13.05.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-339276

(P2001-339276A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 3 H 11/20

H 0 3 H 11/20

A 5 J 0 9 8

7/20

7/20

E

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願2000-160891 (P2000-160891)

(22) 出願日 平成12年5月30日 (2000.5.30)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中原 和彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 宮口 賢一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

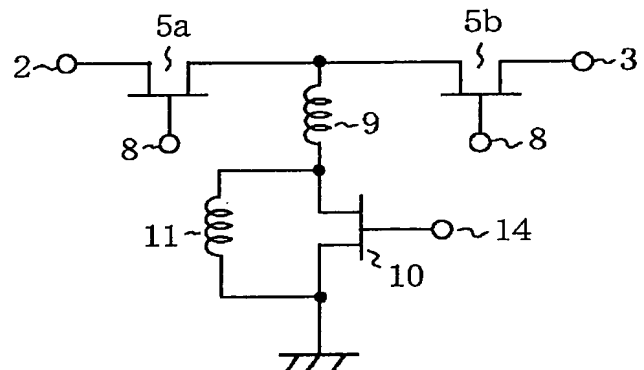
最終頁に続く

(54) 【発明の名称】 移相器

(57) 【要約】

【課題】 従来の移相器は、多数のFET、インダクタおよびキャパシタを用いて構成するために、回路が大型化するとともに損失が大きくなるという課題があった。

【解決手段】 移相器において、入力端子2および出力端子3と、入力端子2と出力端子3との間で直列に接続され、ゲートが共通に接続されるFET 5aおよびFET 5bと、FET 5aとFET 5bとの接続部位に一方の端部が接続されるインダクタ9と、インダクタ9の他方の端部と接地部との間に接続されるFET 10と、FET 10に並列に接続されるインダクタ11とを備える。



**【特許請求の範囲】**

【請求項1】 入力端子および出力端子と、前記入力端子と前記出力端子との間で直列に接続され、ゲートが共通に接続される第1のFETおよび第2のFETと、前記第1のFETと前記第2のFETとの接続部位に一方の端部が接続される第1のインダクタと、該第1のインダクタの他方の端部と接地部との間に接続される第3のFETと、該第3のFETのドレイン・ソース電極間に並列に接続される第2のインダクタとを備えることを特徴とする移相器。

【請求項2】 第1のFETに対して並列に接続される第1のキャパシタと、第2のFETに対して並列に接続される第2のキャパシタとを備えることを特徴とする請求項1記載の移相器。

【請求項3】 入力端子および出力端子と、前記入力端子に一方の端部が接続される第1のインダクタと、該第1のインダクタの他方の端部と前記出力端子との間に接続される第1のFETと、前記入力端子に一方の端部が接続される第1のキャパシタと、該第1のキャパシタの他方の端部と接地部との間に接続される第2のFETと、該第2のFETのドレイン・ソース電極間に並列に接続される第2のインダクタと、前記出力端子に一方の端部が接続される第2のキャパシタと、該第2のキャパシタの他方の端部と接地部との間に接続される第3のFETと、該第3のFETのドレイン・ソース電極間に並列に接続される第3のインダクタと、前記第1のFET、前記第2のFETおよび前記第3のFETのそれぞれに共通に接続される制御端子とを備えることを特徴とする移相器。

【請求項4】 第1のFETに対して並列に接続される第3のキャパシタを備えることを特徴とする請求項3記載の移相器。

【請求項5】 入力端子および出力端子と、前記入力端子と前記出力端子との間に接続される第1のインダクタと、前記入力端子と前記出力端子との間でそれぞれ互いに直列に接続されるとともに前記第1のインダクタに対して並列に接続され、ゲートが共通に接続される第1のFETおよび第2のFETと、前記第1のFETと前記第2のFETとの接続部位と接地部との間に接続される第3のFETと、該第3のFETのドレイン・ソース電極間に並列に接続される第2のインダクタとを備えることを特徴とする移

相器。

【請求項6】 入力端子および出力端子と、前記入力端子と前記出力端子との間に接続される第1のFETと、前記入力端子と前記出力端子との間でそれぞれ互いに直列に接続されるとともに前記第1のFETに対して並列に接続される第1のインダクタおよび第2のインダクタと、前記第1のインダクタと前記第2のインダクタとの接続部位と接地部との間に接続される第2のFETと、前記接地部に一方の端部が接続されるキャパシタと、該キャパシタの他方の端部と前記入力端子との間に接続される第3のFETと、前記第1のFET、前記第2のFETおよび前記第3のFETのそれぞれのゲートに共通に接続される制御端子とを備えることを特徴とする移相器。

【請求項7】 入力端子および出力端子と、前記入力端子と前記出力端子との間で前記入力端子から順に直列に接続される第1のFET、第1のインダクタおよび第2のFETと、前記入力端子と接地部との間で前記入力端子から順に直列に接続される第3のFET、第2のインダクタおよび第4のFETと、前記出力端子と前記接地部との間で前記出力端子から順に直列に接続される第5のFET、第3のインダクタおよび第6のFETと、前記第1のFETおよび前記第2のFETのそれぞれのゲートに共通に接続される第1の制御端子と、前記第3のFET、前記第4のFET、前記第5のFETおよび前記第6のFETのそれぞれのゲートに共通に接続される第2の制御端子とを備えることを特徴とする移相器。

【請求項8】 第1のFET、第2のFET、第3のFET、第4のFET、第5のFETおよび第6のFETにそれぞれ接続される第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタおよび第6のキャパシタを備えることを特徴とする請求項7記載の移相器。

【請求項9】 入力端子および出力端子と、前記入力端子と前記出力端子との間で前記入力端子から順に直列に接続される第1のFET、第1のインダクタ、第2のFET、第3のFET、第2のインダクタおよび第4のFETと、前記第2のFETと前記第3のFETとの接続部位と接地部との間で前記接続部位から順に直列に接続される第5のFET、第3のインダクタおよび第6のFETと、前記第1のFET、前記第2のFET、前記第3のFETおよび前記第4のFETのそれぞれのゲートに共通に接続される第1の制御端子と、前記第5のFETおよび前記第6のFETのそれぞれの

ゲートに共通に接続される第2の制御端子とを備えることを特徴とする移相器。

【請求項10】 第1のFET、第2のFET、第3のFET、第4のFET、第5のFETおよび第6のFETにそれぞれ接続される第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタおよび第6のキャパシタを備えることを特徴とする請求項9記載の移相器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、小型で低損失な移相器に関するものである。

【0002】

【従来の技術】図22は、例えば“A 3bit K/Ka Band MMIC Phase Shifter,” IEEE 1988 Microwave and Millimeter-Wave Monolithic Circuits Symposium pp95-98に示された移相器を示す回路図である。また、図23は、図22に示された移相器がローパスフィルタとして機能する際の等価回路を示す図である。図24は、図22に示された移相器がハイパスフィルタとして機能する際の等価回路を示す図である。図22において、101は入力端子、102は出力端子、103a、103b、103cはそれぞれ同時にオン・オフ制御される第1グループのFET（電界効果トランジスタ）、104は第1グループのFET 103a、103b、103cの各ゲートに接続された制御端子、105a、105bはそれぞれ同時にオン・オフ制御される第2グループのFET、106は第2グループのFET 105a、105bの各ゲートに接続された制御端子、107はインダクタ、108、111はキャパシタである。このように、FETのドレイン・ソース電極間に並列に受動素子を設けることで、ハイパスフィルタとローパスフィルタとを切り替えられる移相器を構成する。なお、FETは制御端子に0Vを印加することでオン状態となり、理想的には抵抗値がゼロとなる。また、FETは制御端子にピンチオフ電圧（ $V_p$ ）以上の電圧を印加することでオフ状態となり、等価的に容量として扱うことが可能となる。

【0003】次に動作について説明する。第1グループのFET 103a、103b、103cをオン状態にするとともに第2グループのFET 105a、105bをオフ状態にするように制御すると、図23に示されるように直列のインダクタ107と、インダクタ107相互の接続部位と接地部との間に配置されてFET 105bのオフ容量として与えられるキャパシタ111とから成るローパスフィルタが構成される。また、第1グループのFET 103a、103b、103cをオフ状態にするとともに第2グループのFET 105a、105bをオン状態にするように制御すると、図24に示されるように直列のキャパシタ108と、キャパシタ108相互の接続部位と接地部との間に配置されるインダクタ10

7とから成るハイパスフィルタが構成される。したがって、上記の2状態を切り替えることで、ハイパスフィルタにより位相の進みが生じる状態を実現するとともにローパスフィルタにより位相の遅れが生じる状態を実現することで、所望の移相量を得ることができる。

【0004】

【発明が解決しようとする課題】従来の移相器は以上のように構成されているので、入力された高周波信号を出力するに際して、ローパスフィルタとして機能する場合には、主線路上で通過する2個のFET 103a、103bの抵抗成分、および主線路と接地部との間に接続されているFET 103cの抵抗成分のために、損失が大きくなるという課題があった。また、ハイパスフィルタとして機能する場合には、主線路上で通過するFET 105aの抵抗成分、および主線路と接地部との間に接続されているFET 105bの抵抗成分のために、損失が大きくなるという課題があった。また、上記の回路では、FETを5個、インダクタを3個およびキャパシタを2個用いるために、回路が大型化するという課題があった。さらに、周波数が低い場合には、所望の移相量を得るためには、インダクタおよびキャパシタが大型化するという課題があった。

【0005】この発明は上記のような課題を解決するためになされたもので、小型で低損失な移相器を得ることを目的とする。

【0006】

【課題を解決するための手段】この発明に係る移相器は、入力端子および出力端子と、入力端子と出力端子との間で直列に接続され、ゲートが共通に接続される第1のFETおよび第2のFETと、第1のFETと第2のFETとの接続部位に一方の端部が接続される第1のインダクタと、第1のインダクタの他方の端部と接地部との間に接続される第3のFETと、第3のFETのドレイン・ソース電極間に並列に接続される第2のインダクタとを備えるようにしたものである。

【0007】この発明に係る移相器は、第1のFETに対して並列に接続される第1のキャパシタと、第2のFETに対して並列に接続される第2のキャパシタとを備えるようにしたものである。

【0008】この発明に係る移相器は、入力端子および出力端子と、入力端子に一方の端部が接続される第1のインダクタと、第1のインダクタの他方の端部と前記出力端子との間に接続される第1のFETと、入力端子に一方の端部が接続される第1のキャパシタと、第1のキャパシタの他方の端部と接地部との間に接続される第2のFETと、第2のFETのドレイン・ソース電極間に並列に接続される第2のインダクタと、出力端子に一方の端部が接続される第2のキャパシタと、第2のキャパシタの他方の端部と接地部との間に接続される第3のFETと、第3のFETのドレイン・ソース電極間に並列

に接続される第3のインダクタと、第1のFET、第2のFET、第3のFETのそれぞれのゲートに共通に接続される制御端子とを備えるようにしたものである。

【0009】この発明に係る移相器は、第1のFETに対して並列に接続される第3のキャパシタを備えるようにしたものである。

【0010】この発明に係る移相器は、入力端子および出力端子と、入力端子と出力端子との間に接続される第1のインダクタと、入力端子と出力端子との間でそれぞれ互いに直列に接続されるとともに第1のインダクタに対して並列に接続され、ゲートが共通に接続される第1のFETおよび第2のFETと、第1のFETと第2のFETとの接続部位と接地部との間に接続される第3のFETと、第3のFETのドレイン・ソース電極間に並列に接続される第2のインダクタとを備えるようにしたものである。

【0011】この発明に係る移相器は、入力端子および出力端子と、入力端子と出力端子との間に接続される第1のFETと、入力端子と出力端子との間でそれぞれ互いに直列に接続されるとともに第1のFETに対して並列に接続される第1のインダクタおよび第2のインダクタと、第1のインダクタと第2のインダクタとの接続部位と接地部との間に接続される第2のFETと、接地部に一方の端部が接続されるキャパシタと、キャパシタの他方の端部と入力端子との間に接続される第3のFETと、第1のFET、第2のFETおよび第3のFETのそれぞれのゲートに共通に接続される制御端子とを備えるようにしたものである。

【0012】この発明に係る移相器は、入力端子および出力端子と、入力端子と出力端子との間で入力端子から順に直列に接続される第1のFET、第1のインダクタおよび第2のFETと、入力端子と接地部との間で入力端子から順に直列に接続される第3のFET、第2のインダクタおよび第4のFETと、出力端子と接地部との間で出力端子から順に直列に接続される第5のFET、第3のインダクタおよび第6のFETと、第1のFETおよび第2のFETのそれぞれのゲートに共通に接続される第1の制御端子と、第3のFET、第4のFET、第5のFETおよび第6のFETのそれぞれのゲートに共通に接続される第2の制御端子とを備えるようにしたものである。

【0013】この発明に係る移相器は、第1のFET、第2のFET、第3のFET、第4のFET、第5のFETおよび第6のFETにそれぞれ接続される第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタおよび第6のキャパシタを備えるようにしたものである。

【0014】この発明に係る移相器は、入力端子および出力端子と、入力端子と出力端子との間で入力端子から順に直列に接続される第1のFET、第1のインダク

タ、第2のFET、第3のFET、第2のインダクタおよび第4のFETと、第2のFETと第3のFETとの接続部位と接地部との間で接続部位から順に直列に接続される第5のFET、第3のインダクタおよび第6のFETと、第1のFET、第2のFET、第3のFETおよび第4のFETのそれぞれのゲートに共通に接続される第1の制御端子と、第5のFETおよび第6のFETのそれぞれのゲートに共通に接続される第2の制御端子とを備えるようにしたものである。

【0015】この発明に係る移相器は、第1のFET、第2のFET、第3のFET、第4のFET、第5のFETおよび第6のFETにそれぞれ接続される第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタおよび第6のキャパシタを備えるようにしたものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による移相器の構成を示す図である。図1において、1は誘電体基板、2は入力端子、3は出力端子、4は主線路、5a、5bはそれぞれ同時にオン・オフ制御される第1グループのFET（第1のFET、第2のFET）、6a、6bはそれぞれFET 5a、5bのゲートに接続されるバイアス印加用抵抗、7はFET 5a、5bに対するバイアス印加用線路、8は第1グループのFET 5a、5bに対する制御用バイアス端子、9はインダクタ（第1のインダクタ）、10は第2グループのFET（第3のFET）、11はFET 10のドレイン・ソース電極間に並列に接続されたインダクタ（第2のインダクタ）、12はFET 10のゲートに接続されるバイアス印加用抵抗、13はFET 10に対するバイアス印加用線路、14は第2グループのFET 10に対する第2の制御用バイアス端子、15はFET 10に接続されるスルーホールである。

【0017】次に動作について説明する。図2は図1に示された移相器の等価回路を示す図である。図2において、図1と同一符号は同一または相当部分を示すのでその説明を省略する。入力端子2に入力された高周波信号は、FET 5aおよびFET 5bを通過して、出力端子3から出力される。

【0018】まず、制御用バイアス端子8から第1グループのFET 5a、5bに対して0V電圧を印加して第1グループのFET 5a、5bをオン状態にするとともに、制御用バイアス端子14から第2グループのFET 10に対して所定の電圧（ピンチオフ電圧以上の電圧）を印加して第2グループのFET 10をオフ状態にした第1の回路状態について説明する。図3は図2に示された移相器が第1の回路状態にある際の等価回路を示す図である。図3において、16はFET 10のオフ容量と

して与えられるキャパシタである。この第1の回路状態においては、入力端子2と出力端子3との間は短絡される。また、FET10およびインダクタ11の素子値を適宜設定することで、インダクタ11とキャパシタ16とから並列共振回路を構成することができる。そして、インダクタ11とキャパシタ16とから成る並列共振回路は、入力端子2から入力される高周波信号について開放状態となる。したがって、入力端子2と出力端子3との間では、接地部から電氣的に遮断されたインピーダンスがほとんどない主線路が構成されて、入力端子2から入力された高周波信号について位相の回転は生じない。

【0019】次に、制御用バイアス端子8から第1グループのFET5a、5bに対して所定の電圧を印加して第1グループのFET5a、5bをオフ状態にするとともに、制御用バイアス端子14から第2グループのFET10に対して0V電圧を印加して第2グループのFET10をオン状態にした第2の回路状態について説明する。図4は図2に示された移相器が第2の回路状態にある際の等価回路を示す図である。図4において、17a、17bはそれぞれFET5a、5bのオフ容量として与えられるキャパシタである。この第2の回路状態においては、キャパシタ17a、17bとインダクタ9とにより、T形のハイパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の進みが生じる。

【0020】上記のように、制御用バイアス端子8および制御用バイアス端子14を適宜制御することで、高周波信号について位相が変化しない状態と位相の進みが生じる状態とを切り替えることができ、高周波信号が通過する際に位相差が生じる。したがって、FET5a、5b、10のオン・オフ制御を適宜実施して、第1の回路状態と第2の回路状態とを切り換えることで生じる通過位相差により所望の移相量を得ることができる。

【0021】以上のように、この実施の形態1によれば、入力端子2と出力端子3との間で直列に接続され、ゲートが共通に接続される第1グループのFET5a、5bと、FET5aとFET5bとの接続部位に一方の端部が接続されるインダクタ9と、インダクタ9の他方の端部と接地部との間に接続される第2グループのFET10と、FET10のドレイン・ソース電極間に並列に接続されるインダクタ11とを備えるように構成したので、FET10のオフ容量として与えられるキャパシタ16とインダクタ11とが並列共振回路を構成するように互いの素子値の設定を行えば、FET5a、5b、10のオン・オフ制御を適宜実施して入力端子2から入力された高周波信号について位相の回転が生じない状態と位相の進みが生じる状態とを切り換えることで生じる通過位相差に基づいて所望の移相量を得ることができるとともに、3個のFETと2個のインダクタのみで移相器を構成することができて移相器を小型化すること

ができるという効果を奏する。

【0022】実施の形態2。図5はこの発明の実施の形態2による移相器の構成を示す図である。図5において、図2と同一符号は同一または相当部分を示すのでその説明を省略する。21a、21bはそれぞれFET5a、5bのドレイン・ソース電極間に並列に接続されたキャパシタ（第1のキャパシタ、第2のキャパシタ）である。

【0023】以上のように、この実施の形態2によれば、FET5a、5bのドレイン・ソース電極間に並列にそれぞれキャパシタ21a、21bを接続するように構成したので、例えばこのキャパシタ21a、21bをMIM(Metal Insulator Metal)キャパシタで構成すれば、同じ容量をFETのオフ容量で実現するより小型化することができるために、移相器の小型化を図ることができるという効果を奏する。

【0024】実施の形態3。図6はこの発明の実施の形態3による移相器の構成を示す回路図である。図6において、図2と同一符号は同一または相当部分を示すのでその説明を省略する。31a、31b、31cはそれぞれ同時にオン・オフ制御されるFET（第1のFET、第2のFET、第3のFET）、32はFET31a、31b、31cのゲートに共通に接続される制御用バイアス端子（制御端子）、33はFET31aに直列に接続されるインダクタ（第1のインダクタ）、34a、34bは一方の端部がそれぞれ入力端子2、出力端子3に接続され他方の端部がそれぞれFET31b、FET31cのドレインに接続されたキャパシタ（第1のキャパシタ、第2のキャパシタ）、35a、35bはそれぞれFET31b、FET31cのドレイン・ソース電極間に並列に接続されたインダクタ（第2のインダクタ、第3のインダクタ）である。

【0025】次に動作について説明する。まず、制御用バイアス端子32からFET31a、31b、31cに対して0V電圧を印加してFET31a、31b、31cをオン状態にした第1の回路状態について説明する。図7は図6に示された移相器が第1の回路状態にある際の等価回路を示す図である。図7に示されるように、FETがすべてオン状態となることでインダクタ33および2つのキャパシタ34a、34bから成る $\pi$ 形のローパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の遅れが生じる。

【0026】次に、制御用バイアス端子32からFET31a、31b、31cに対して所定の電圧を印加して、FET31a、31b、31cをオフ状態にした第2の回路状態について説明する。図8は図6に示された移相器が第2の回路状態にある際の等価回路を示す図である。図8において、36a、36b、36cはそれぞれFET31a、31b、31cのオフ容量として与えられるキャパシタである。この第2の回路状態において

は、FET31aとインダクタ33との素子値を適宜設定することでインダクタ33とキャパシタ36aとから成る直列共振回路を構成するとともに、FET31bとインダクタ35aとの素子値、およびFET31cとインダクタ35bとの素子値をそれぞれ適宜設定することでインダクタ35aとキャパシタ36bとから成る並列共振回路、およびインダクタ35bとキャパシタ36cとから成る並列共振回路を構成することができる。この際、インダクタ33とキャパシタ36aとから成る直列共振回路は、入力端子2から入力される高周波信号について短絡状態となる。また、インダクタ35aとキャパシタ36bとから成る並列共振回路、およびインダクタ35bとキャパシタ36cとから成る並列共振回路は、入力端子2から入力される高周波信号について開放状態となる。したがって、入力端子2と出力端子3との間では、接地部から電氣的に遮断されたインピーダンスがほとんどない主線路が構成されて、入力端子2から入力された高周波信号について位相の回転は生じない。

【0027】上記のように、制御用バイアス端子32を適宜制御することで、高周波信号について位相が変化しない状態と位相の遅れが生じる状態とを切り換えることができ、高周波信号が通過する際に位相差が生じる。したがって、FET31a、31b、31cのオン・オフ制御を適宜実施して、第1の回路状態と第2の回路状態とを切り換えることで生じる通過位相差により所望の移相量を得ることができる。

【0028】以上のように、この実施の形態3によれば、入力端子2と出力端子3との間で直列に接続されるFET31aおよびインダクタ33と、入力端子2に一方の端部が接続されるキャパシタ34aの他方の端部と接地部との間で互いに並列に接続されるFET31bおよびインダクタ35aと、出力端子3に一方の端部が接続されるキャパシタ34bの他方の端部と接地部との間で互いに並列に接続されるFET31cおよびインダクタ35bとを備えるように構成したので、FET31aのオフ容量として与えられるキャパシタ36aとインダクタ33とが直列共振回路を構成するように互いの素子値の設定を行ない、FET31bのオフ容量として与えられるキャパシタ36bとインダクタ35aとが並列共振回路を構成し、またFET31cのオフ容量として与えられるキャパシタ36cとインダクタ35bとが並列共振回路を構成するようにそれぞれの素子値の設定を行えば、FET31a、31b、31cのオン・オフ制御を適宜実施して入力端子2から入力された高周波信号について位相の回転が生じない状態と位相の遅れが生じる状態とを切り換えることで通過位相差に基づいて所望の移相量を得ることができるとともに、FET31a、31b、31cのオン・オフ動作が同一であるために、制御用バイアス端子を共通化することができて移相器を小型化することができるという効果を奏する。

【0029】実施の形態4. 図9はこの発明の実施の形態4による移相器の構成を示す図である。図9において、図6と同一符号は同一または相当部分を示すのでその説明を省略する。37はFET31aのドレイン・ソース電極間に並列に接続されたキャパシタ（第3のキャパシタ）である。

【0030】以上のように、この実施の形態4によれば、FET31aのドレイン・ソース電極間に並列にキャパシタ37を接続するように構成したので、例えばこのキャパシタ37をMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するよりも小型化することができるために、移相器の小型化を図ることができるという効果を奏する。

【0031】実施の形態5. 図10はこの発明の実施の形態5による移相器の構成を示す回路図である。図10において、図2と同一符号は同一または相当部分を示すのでその説明を省略する。41は入力端子2と出力端子3との間に接続されるインダクタ（第1のインダクタ）、42a、42bはそれぞれ入力端子2と出力端子3との間で互いに直列にかつインダクタ41に対しては並列に接続される第1グループのFET（第1のFET、第2のFET）、43は第1グループのFET42a、42bのゲートに共通に接続される制御用バイアス端子、44はFET42aとFET42bとの接続部位と接地部との間に接続された第2グループのFET（第3のFET）、45は第2グループのFET44のゲートに接続される制御用バイアス端子、46はFET44のドレイン・ソース電極間に接続されたインダクタ（第2のインダクタ）である。

【0032】次に動作について説明する。まず、制御用バイアス端子43から第1グループのFET42a、42bに対して所定の電圧を印加して第1グループのFET42a、42bをオフ状態にするとともに、制御用バイアス端子45から0V電圧を印加して第2グループのFET44をオン状態にした第1の回路状態について説明する。図11は、図10に示された移相器が第1の回路状態にある際の等価回路を示す図である。図11において、47a、47bはそれぞれFET42a、42bのオフ容量として与えられるキャパシタである。この第1の回路状態では、図11に示されるように、インダクタ41および2つのキャパシタ47a、47bから成るπ形のローパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の遅れが生じる。

【0033】次に、制御用バイアス端子43から第1グループのFET42a、42bに対して0V電圧を印加して第1グループのFET42a、42bをオン状態にするとともに、制御用バイアス端子45から所定の電圧を印加して第2グループのFET44をオフ状態にした第2の回路状態について説明する。図12は、図10に示された移相器が第2の回路状態にある際の等価回路を

示す図である。図12において、48はFET44のオフ容量として与えられるキャパシタである。この第2の回路状態においては、FET44とインダクタ46との素子値を適宜設定することで、インダクタ46とキャパシタ48とから成る並列共振回路を構成することができる。この際、インダクタ46とキャパシタ48とから成る並列共振回路は、入力端子2から入力される高周波信号について開放状態となる。したがって、入力端子2と出力端子3との間では、接地部から電氣的に遮断されたインピーダンスがほとんどない主線路が構成されて、入力端子2から入力された高周波信号について位相の回転は生じない。

【0034】上記のように、制御用バイアス端子43および制御用バイアス端子45を適宜制御することで、高周波信号について位相が変化しない状態と位相の遅れが生じる状態とを切り換えることができ、高周波信号が通過する際に位相差が生じる。したがって、FET42a、42b、44のオン・オフ制御を適宜実施して、第1の回路状態と第2の回路状態とを切り換えることで生じる通過位相差により所望の移相量を得ることができる。

【0035】以上のように、この実施の形態5によれば、入力端子2と出力端子3との間に接続されるインダクタ41と、入力端子2と出力端子3との間でインダクタ41に対して並列に接続されるFET42a、42bと、FET42aとFET42bとの接続部位と接地部との間で互いに並列に接続されるFET44とインダクタ46とを備えるように構成したので、FET44のオフ容量として与えられるキャパシタ48とインダクタ46とが並列共振回路を構成するように互いの素子値の設定を行えば、FET42a、42b、44のオン・オフ制御を適宜実施して入力端子2から入力された高周波信号について位相の回転が生じない状態と位相の遅れが生じる状態とを切り換えることで通過位相差に基づいて所望の移相量を得ることができるとともに、3個のFETと2個のインダクタのみで移相器を構成することができて移相器を小型化することができるという効果を奏する。また、主線路において直列に接続されているのは1個のインダクタのみであるので、移相器を低損失化することができるという効果を奏する。

【0036】実施の形態6。図13はこの発明の実施の形態6による移相器の構成を示す回路図である。図13において、図2と同一符号は同一または相当部分を示すのでその説明を省略する。51a、51b、51cはそれぞれ同時にオン・オフ制御されるFET（第1のFET、第2のFET、第3のFET）、52はFET51a、51b、51cのそれぞれのゲートに共通に接続される制御用バイアス端子（制御端子）、53aは入力端子2とFET51bとの間に接続されるインダクタ（第1のインダクタ）、53bは出力端子3とFET51b

との間に接続されるインダクタ（第2のインダクタ）、54はFET51cと接地部との間に接続されるキャパシタである。

【0037】次に動作について説明する。まず、制御用バイアス端子52からFET51a、51b、51cに対して所定の電圧を印加してFET51a、51b、51cをすべてオフ状態にした第1の回路状態について説明する。図14は図13に示された移相器が第1の回路状態にある際の等価回路を示す図である。55はFET51bのオフ容量として与えられるキャパシタである。ここで、図13に示されるFET51aおよびFET51cのオフ容量を、入力端子2から入力される高周波信号の周波数に対して高インピーダンスとなるように小さく設定することで、入力端子2と出力端子3との間で直列に接続される2つのインダクタ53a、53bおよびキャパシタ55から成るT形のローパスフィルタが構成されて、入力端子2から入力される高周波信号について位相の遅れが生じる。

【0038】次に、制御用バイアス端子52からFET51a、51b、51cに対して0V電圧を印加してFET51a、51b、51cをすべてオン状態にした第2の回路状態について説明する。図15は図13に示された移相器が第2の回路状態にある際の等価回路を示す図である。図15において、56はインダクタ53aとインダクタ53bとを並列接続した場合と等価なインダクタンスを与えるインダクタである。この第2の回路状態においては、FET51aがオン状態となることで、入力端子2と出力端子3との間が短絡される。また、FET51bがオン状態となることで、インダクタ53aとインダクタ53bとの接続部位が接地されて、インダクタ53aとインダクタ53bとは主線路と接地部との間で並列に接続され、図15に示されるように等価な1つのインダクタ56として表すことができる。さらに、FET51cがオン状態となることで、キャパシタ54が主線路と接地部との間でインダクタ56に対して並列に接続される。したがって、インダクタ53a、53bおよびキャパシタ54のそれぞれの素子値を適宜設定することで、インダクタ56とキャパシタ54とから成る並列共振回路を構成することができる。この際、インダクタ56とキャパシタ54とから成る並列共振回路は、入力端子2から入力される高周波信号について開放状態となる。結果的に、入力端子2と出力端子3との間では、接地部から電氣的に遮断されたインピーダンスがほとんどない主線路が構成されて、入力端子2から入力された高周波信号について位相の回転は生じない。

【0039】上記のように、制御用バイアス端子52を適宜制御することで、高周波信号について位相が変化しない状態と位相の遅れが生じる状態とを切り換えることができ、高周波信号が通過する際に位相差が生じる。したがって、FET51a、51b、51cのオン・オ

フ制御を適宜実施して、第1の回路状態と第2の回路状態とを切り換えることで生じる通過位相差により所望の移相量を得ることができる。

【0040】以上のように、この実施の形態6によれば、入力端子2と出力端子3との間に接続されるFET 51aと、FET 51aに並列に接続されるインダクタ53a、53bと、インダクタ53aとインダクタ53bとの接続部位と接地部との間に接続されたFET 51bと、一方の端部が接地部に接続されるキャパシタ54と、キャパシタ54の他方の端部と入力端子2との間に接続されるFET 51cと、FET 51a、51b、51cのゲートに共通に接続される制御用バイアス端子52とを備えるように構成したので、並列に接続された場合のインダクタ53aおよび53bと等価なインダクタンスを与えるインダクタ56とキャパシタ54とが並列共振回路を構成するように各素子値の設定を行えば、FET 51a、51b、51cのオン・オフ制御を適宜実施して入力端子2から入力された高周波信号について位相の回転が生じない状態と位相の遅れが生じる状態とを切り換えることで通過位相差に基づき所望の移相量を得ることができるとともに、FET 51a、51b、51cのオン・オフ動作が同一であるために、制御用バイアス端子を共通化することができて移相器を小型化することができるという効果を奏する。

【0041】実施の形態7。図16はこの発明の実施の形態7による移相器の構成を示す回路図である。図16において、図2と同一符号は同一または相当部分を示すのでその説明を省略する。61a、61bはそれぞれ同時にオン・オフ制御される第1グループのFET（第1のFET、第2のFET）、62はFET 61a、61bのそれぞれのゲートに共通に接続される制御用バイアス端子（第1の制御端子）、63はFET 61aとFET 61bとの間に接続されるインダクタ（第1のインダクタ）、64a、64b、64c、64dはそれぞれ同時にオン・オフ制御される第2グループのFET（第3のFET、第4のFET、第5のFET、第6のFET）、65はFET 64a、64b、64c、64dのそれぞれのゲートに共通に接続される制御用バイアス端子（第2の制御端子）、66はFET 64aとFET 64bとの間に接続されるインダクタ（第2のインダクタ）、67はFET 64cとFET 64dとの間に接続されるインダクタ（第3のインダクタ）である。

【0042】次に動作について説明する。まず、制御用バイアス端子62から第1グループのFET 61a、61bに対して0V電圧を印加して第1グループのFET 61a、61bをオン状態にするとともに、制御用バイアス端子65から第2グループのFET 64a、64b、64c、64dに対して所定の電圧を印加して第2グループのFET 64a、64b、64c、64dをオフ状態にした第1の回路状態について説明する。図17

は図16に示された移相器が第1の回路状態にある際の等価回路を示す図である。図17において、68aはFET 64aまたはFET 64bのオフ容量として与えられるキャパシタ、68bはFET 64cまたはFET 64dのオフ容量として与えられるキャパシタである。この第1の回路状態においては、FET 64aまたはFET 64bとインダクタ66との素子値を適宜設定することで、インダクタ66とFET 64aのオフ容量またはFET 64bのオフ容量とから成る直列共振回路が構成されて、入力端子2から入力される高周波信号については入力端子2と接地部との間においてキャパシタ68aが存在するのみとなる。また、FET 64cまたはFET 64dとインダクタ67との素子値を適宜設定することで、インダクタ67とFET 64cのオフ容量またはFET 64dのオフ容量とから成る直列共振回路が構成されて、入力端子2から入力される高周波信号については出力端子3と接地部との間においてキャパシタ68bが存在するのみとなる。したがって、入力端子2と出力端子3との間においては、インダクタ63および2つのキャパシタ68a、68bから成る $\pi$ 形のローパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の遅れが生じる。

【0043】次に、制御用バイアス端子62から第1グループのFET 61a、61bに対して所定の電圧を印加して第1グループのFET 61a、61bをオフ状態にするとともに、制御用バイアス端子65から第2グループのFET 64a、64b、64c、64dに対して0V電圧を印加して第2グループのFET 64a、64b、64c、64dをオン状態にした第2の回路状態について説明する。図18は図16に示された移相器が第2の回路状態にある際の等価回路を示す図である。図18において、69はFET 61aまたはFET 61bのオフ容量として与えられるキャパシタである。この第2の回路状態においては、FET 61aまたはFET 61bとインダクタ63との素子値を適宜設定することで、インダクタ63とFET 61aのオフ容量またはFET 61bのオフ容量とから成る直列共振回路が構成されて、入力端子2から入力される高周波信号については入力端子2と出力端子3との間においてキャパシタ69が存在するのみとなる。したがって、入力端子2と出力端子3との間においては、キャパシタ69および2つのインダクタ66、67から成る $\pi$ 形のハイパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の進みが生じる。

【0044】上記のように、制御用バイアス端子62および制御用バイアス端子65を適宜制御することで、高周波信号について位相に進みが生じる状態と位相に遅れが生じる状態とを切り換えることができ、高周波信号が通過する際に位相差が生じる。したがって、FET 61a、61b、64a、64b、64c、64dのオン

ーオフ制御を適宜実施して、第1の回路状態と第2の回路状態とを切り換えることで生じる通過位相差により所望の移相量を得ることができる。

【0045】以上のように、この実施の形態7によれば、入力端子2と出力端子3との間で直列に接続されるFET61a、インダクタ63、FET61bと、入力端子2と接地部との間で直列に接続されるFET64a、インダクタ66およびFET64bと、入力端子3と接地部との間で直列に接続されるFET64c、インダクタ67およびFET64dとを備えるように構成したので、インダクタ63とFET61aのオフ容量またはFET61bのオフ容量として与えられるキャパシタとが直列共振回路を構成するように各素子値の設定を行ない、インダクタ66とFET64aのオフ容量またはFET64bのオフ容量として与えられるキャパシタとが直列共振回路を構成するように各素子値の設定を行ない、インダクタ67とFET64cのオフ容量またはFET64dのオフ容量として与えられるキャパシタとが直列共振回路を構成するように各素子値の設定を行えば、FET61a、61b、64a、64b、64c、64dのオン・オフ制御を適宜実施して入力端子2から入力される高周波信号について位相の進みが生じる状態と位相の遅れが生じる状態とを切り換えることで通過位相差に基づいて所望の移相量を得ることができるという効果を奏する。また、この実施の形態7による移相器は、FETのオン・オフ制御に基づいてハイパスフィルタとローパスフィルタとを切り換えることができるので、受動素子で構成したハイパスフィルタとローパスフィルタとを単極双投スイッチで切り換える移相器と比較すると小型化することができるという効果を奏する。

【0046】実施の形態8。図19はこの発明の実施の形態8による移相器の構成を示す回路図である。図19において、図16と同一符号は同一または相当部分を示すのでその説明を省略する。71a、71b、71c、71d、71e、71fは、それぞれFET61a、61b、64a、64b、64c、64dのドレイン・ソース電極間に並列に接続されたキャパシタ（第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタ、第6のキャパシタ）である。

【0047】以上のように、この実施の形態8によれば、FET61a、61b、64a、64b、64c、64dのドレイン・ソース電極間にそれぞれ並列にキャパシタ71a、71b、71c、71d、71e、71fを接続するように構成したので、例えばこれらのキャパシタ71a、71b、71c、71d、71e、71fをMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するよりも小型化することができるために、移相器の小型化を図ることができるという効果を奏する。

【0048】実施の形態9。この発明の実施の形態9による移相器は、実施の形態7による移相器において $\pi$ 形に構成された回路を、同等の機能を有するT形の回路で構成したものである。図20はこの発明の実施の形態9による移相器の構成を示す回路図である。図20において、図2と同一符号は同一または相当部分を示すのでその説明を省略する。81a、81b、81c、81dはそれぞれ同時にオン・オフ制御される第1グループのFET（第1のFET、第2のFET、第3のFET、第4のFET）、82は第1グループのFET81a、81b、81c、81dのそれぞれのゲートに共通に接続される制御用バイアス端子（第1の制御端子）、83はFET81aとFET81bとの間に接続されるインダクタ（第1のインダクタ）、84はFET81cとFET81dとの間に接続されるインダクタ（第2のインダクタ）、85a、85bはそれぞれ同時にオン・オフ制御される第2グループのFET（第5のFET、第6のFET）、86は第2グループのFET85a、85bのそれぞれのゲートに共通に接続される制御用バイアス端子（第2の制御端子）、87はFET85aとFET85bとの間に接続されるインダクタ（第3のインダクタ）である。

【0049】この実施の形態においても、実施の形態7と同様に、インダクタ83とFET81aのオフ容量またはFET81bのオフ容量とから直列共振回路を構成し、インダクタ84とFET81cのオフ容量またはFET81dのオフ容量とから直列共振回路を構成し、インダクタ87とFET85aのオフ容量またはFET85bのオフ容量とから直列共振回路を構成するように各素子値を設定するものとする。

【0050】したがって、制御用バイアス端子82から第1グループのFET81a、81b、81c、81dに0V電圧を印加して第1グループのFET81a、81b、81c、81dをオン状態にするとともに、制御用バイアス端子86から第2グループのFET85a、85bに対して所定の電圧を印加して第2グループのFET85a、85bをオフ状態にした第1の回路状態では、入力端子2と出力端子3との間において2つのインダクタ83、84、およびFET85aのオフ容量またはFET85bのオフ容量として与えられるキャパシタから成るT形のローパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の遅れが生じる。

【0051】次に、制御用バイアス端子82から第1グループのFET81a、81b、81c、81dに所定の電圧を印加して第1グループのFET81a、81b、81c、81dをオフ状態にするとともに、制御用バイアス端子86から第2グループのFET85a、85bに対して0V電圧を印加して第2グループのFET85a、85bをオン状態にした第2の回路状態では、

入力端子2と出力端子3との間においてFET81aのオフ容量またはFET81bのオフ容量として与えられるキャパシタ、FET81cのオフ容量またはFET81dのオフ容量として与えられるキャパシタ、およびインダクタ87から成るT形のハイパスフィルタが構成されて、入力端子2から入力された高周波信号について位相の進みが生じる。

【0052】上記のように、制御用バイアス端子82および制御用バイアス端子86を適宜制御することで、高周波信号について位相に進みが生じる状態と位相に遅れが生じる状態とを切り換えることができ、高周波信号が通過する際に位相差が生じる。したがって、FET81a、81b、81c、81d、85a、85bのオン・オフ制御を適宜実施して、第1の回路状態と第2の回路状態とを切り換えることで生じる通過位相差により所望の移相量を得ることができる。

【0053】以上のように、この実施の形態9によれば、入力端子2と出力端子3との間で直列に接続されるFET81a、インダクタ83、FET81b、FET81c、インダクタ84およびFET81dと、FET81bとFET81cとの接続部位と接地部との間で直列に接続されるFET85a、インダクタ87およびFET85bとを備えるように構成したので、インダクタ83とFET81aのオフ容量またはFET81bのオフ容量として与えられるキャパシタとが直列共振回路を構成するように各素子値の設定を行ない、インダクタ84とFET81cのオフ容量またはFET81dのオフ容量として与えられるキャパシタとが直列共振回路を構成するように各素子値の設定を行ない、インダクタ87とFET85aのオフ容量またはFET85bのオフ容量として与えられるキャパシタとが直列共振回路を構成するように各素子値の設定を行なえば、FET81a、81b、81c、81d、85a、85bのオン・オフ制御を適宜実施して入力端子2から入力された高周波信号について位相の進みが生じる状態と位相の遅れが生じる状態とを切り換えることで通過位相差に基づいて所望の移相量を得ることができるという効果を奏する。また、この実施の形態9による移相器は、FETのオン・オフ制御に基づいてハイパスフィルタとローパスフィルタとを切り換えることができるので、受動素子で構成したハイパスフィルタとローパスフィルタとを単極双投スイッチで切り換える移相器と比較すると小型化することができるという効果を奏する。

【0054】実施の形態10。図21はこの発明の実施の形態10による移相器の構成を示す回路図である。図21において、図20と同一符号は同一または相当部分を示すのでその説明を省略する。91a、91b、91c、91d、91e、91fは、それぞれFET81a、81b、81c、81d、85a、85bのドレイン・ソース電極間に並列に接続されたキャパシタ（第1

のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタ、第6のキャパシタ）である。

【0055】以上のように、この実施の形態10によれば、FET81a、81b、81c、81d、85a、85bのドレイン・ソース電極間にそれぞれ並列にキャパシタ91a、91b、91c、91d、91e、91fを接続するように構成したので、例えばこれらのキャパシタ91a、91b、91c、91d、91e、91fをMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するよりも小型化することができるために、移相器の小型化を図ることができるという効果を奏する。

【0056】

【発明の効果】以上のように、この発明によれば、入力端子および出力端子と、入力端子と出力端子との間で直列に接続され、ゲートが共通に接続される第1のFETおよび第2のFETと、第1のFETと第2のFETとの接続部位に一方の端部が接続される第1のインダクタと、第1のインダクタの他方の端部と接地部との間に接続される第3のFETと、第3のFETのドレイン・ソース電極間に並列に接続される第2のインダクタとを備えるように構成したので、第3のFETのオフ容量として与えられるキャパシタと第2のインダクタとが並列共振回路を構成するように互いの素子値を設定しておけば、第1のFETおよび第2のFETをオン状態とし第3のFETをオフ状態とした際には入力端子と出力端子との間において接地部から電氣的に遮断されたインピーダンスがほとんどない主線路が構成されて高周波信号について位相に変化が生じない回路状態となり、また第1のFETおよび第2のFETをオフ状態とし第3のFETをオン状態とした際には入力端子と出力端子との間には第1のFETのオフ容量として与えられるキャパシタ、第2のFETのオフ容量として与えられるキャパシタおよび第1のインダクタから成るT形ハイパスフィルタが構成されて高周波信号について位相に進みが生じる回路状態となって、これら2つの回路状態を切り換えることで与えられる通過位相差に基づいて所望の移相量を得ることができるとともに、3個のFETと2個のインダクタのみで移相器を構成することができて移相器を小型化することができるという効果を奏する。

【0057】この発明によれば、第1のFETに対して並列に接続される第1のキャパシタと、第2のFETに対して並列に接続される第2のキャパシタとを備えるように構成したので、例えば第1および第2のキャパシタをMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するより小型化することができるために、移相器をさらに小型化することができるという効果を奏する。

【0058】この発明によれば、入力端子および出力端

子と、入力端子に一方の端部が接続される第1のインダクタと、第1のインダクタの他方の端部と出力端子との間に接続される第1のFETと、入力端子に一方の端部が接続される第1のキャパシタと、第1のキャパシタの他方の端部と接地部との間に接続される第2のFETと、第2のFETのドレイン・ソース電極間に並列に接続される第2のインダクタと、出力端子に一方の端部が接続される第2のキャパシタと、第2のキャパシタの他方の端部と接地部との間に接続される第3のFETと、第3のFETのドレイン・ソース電極間に並列に接続される第3のインダクタと、第1のFET、第2のFETおよび第3のFETのそれぞれのゲートに共通に接続される制御端子とを備えるように構成したので、第1のFET、第2のFETおよび第3のFETをオン状態とした際には入力端子と出力端子との間において第1のインダクタ、第1のキャパシタおよび第2のキャパシタから成る $\pi$ 形ローパスフィルタが構成されて高周波信号について位相に遅れが生じる回路状態となり、また第1のFETのオフ容量として与えられるキャパシタと第1のインダクタとが直列共振回路を構成し、第2のFETのオフ容量として与えられるキャパシタと第2のインダクタとが並列共振回路を構成し、第3のFETのオフ容量として与えられるキャパシタと第3のインダクタとが並列共振回路を構成するように各素子値を設定しておけば、第1のFET、第2のFETおよび第3のFETをオフ状態とした際には入力端子と出力端子との間において接地部から電氣的に遮断されてインピーダンスがほとんどない主線路が構成されて高周波信号について位相に変化が生じない回路状態となって、これら2つの回路状態を切り換えることで与えられる通過位相差に基づいて所望の移相量を得ることができるとともに、第1のFET、第2のFETおよび第3のFETのオン・オフ動作が同一であるために、制御用バイアス端子を共通化することができて移相器を小型化することができるという効果を奏する。

【0059】この発明によれば、第1のFETに対して並列に接続される第3のキャパシタを備えるように構成したので、例えば第3のキャパシタをMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するより小型化することができるために、移相器をさらに小型化することができるという効果を奏する。

【0060】この発明によれば、入力端子および出力端子と、入力端子と出力端子との間に接続される第1のインダクタと、入力端子と出力端子との間でそれぞれ互いに直列に接続されるとともに第1のインダクタに対して並列に接続され、ゲートが共通に接続される第1のFETおよび第2のFETと、第1のFETと第2のFETとの接続部位と接地部との間に接続される第3のFETと、第3のFETのドレイン・ソース電極間に並列に接続される第2のインダクタとを備えるように構成したの

で、第1のFETおよび第2のFETをオフ状態とし第3のFETをオン状態とした際には入力端子と出力端子との間において第1のインダクタ、第1のFETのオフ容量として与えられるキャパシタおよび第2のFETのオフ容量として与えられるキャパシタから成る $\pi$ 形ローパスフィルタが構成されて高周波信号について位相に遅れが生じる回路状態となり、また第3のFETのオフ容量として与えられるキャパシタと第2のインダクタとが並列共振回路を構成するように互いの素子値を設定しておけば、第1のFETおよび第2のFETをオン状態とし第3のFETをオフ状態とした際には入力端子と出力端子との間において接地部から電氣的に遮断されてインピーダンスがほとんどない主線路が構成されて高周波信号について位相に変化が生じない回路状態となって、これら2つの回路状態を切り換えることで与えられる通過位相差に基づいて所望の移相量を得ることができるとともに、3個のFETと2個のインダクタのみで移相器を構成することができて移相器を小型化することができるという効果を奏する。また、主線路において直列に接続されているのは1個のインダクタのみであるので、移相器を低損失化することができるという効果を奏する。

【0061】この発明によれば、入力端子および出力端子と、入力端子と出力端子との間に接続される第1のFETと、入力端子と出力端子との間でそれぞれ互いに直列に接続されるとともに第1のFETに対して並列に接続される第1のインダクタおよび第2のインダクタと、第1のインダクタと第2のインダクタとの接続部位と接地部との間に接続される第2のFETと、接地部に一方の端部が接続されるキャパシタと、キャパシタの他方の端部と入力端子との間に接続される第3のFETと、第1のFET、第2のFETおよび第3のFETのそれぞれのゲートに共通に接続される制御端子とを備えるように構成したので、第1のFETおよび第3のFETのオフ容量を入力される高周波信号の周波数に対して高インピーダンスとなるように小さく設定しておけば、第1のFET、第2のFETおよび第3のFETをオフ状態とした際には入力端子と出力端子との間において第1のインダクタ、第2のインダクタおよび第2のFETのオフ容量として与えられるキャパシタから成るT型ローパスフィルタが構成されて高周波信号について位相に遅れが生じる回路状態となり、第1のインダクタと第2のインダクタとを並列接続した場合と等価なインダクタとキャパシタとが並列共振回路を構成するように各素子値を設定しておけば、第1のFET、第2のFETおよび第3のFETをオン状態とした際には入力端子と出力端子との間において接地部から電氣的に遮断されてインピーダンスがほとんどない主線路が構成されて高周波信号について位相に変化が生じない回路状態となって、これら2つの回路状態を切り換えることで与えられる通過位相差に基づいて所望の移相量を得ることができるとともに、

第1のFET、第2のFETおよび第3のFETのオン・オフ動作が同一であるために、制御用バイアス端子を共通化することができて移相器を小型化することができるという効果を奏する。

【0062】この発明によれば、入力端子および出力端子と、入力端子と出力端子との間で入力端子から順に直列に接続される第1のFET、第1のインダクタおよび第2のFETと、入力端子と接地部との間で入力端子から順に直列に接続される第3のFET、第2のインダクタおよび第4のFETと、出力端子と接地部との間で出力端子から順に直列に接続される第5のFET、第3のインダクタおよび第6のFETと、第1のFETおよび第2のFETのそれぞれのゲートに共通に接続される第1の制御端子と、第3のFET、第4のFET、第5のFETおよび第6のFETのそれぞれのゲートに共通に接続される第2の制御端子とを備えるように構成したので、第3のFETまたは第4のFETのオフ容量と第2のインダクタとが直列共振回路を構成し、第5のFETまたは第6のFETのオフ容量と第3のインダクタとが直列共振回路を構成するように各素子値を設定しておけば、第1のFETおよび第2のFETをオン状態とし第3のFET、第4のFET、第5のFETおよび第6のFETをオフ状態とした際には入力端子と出力端子との間において第1のインダクタ、第3のFETのオフ容量または第4のFETのオフ容量として与えられるキャパシタ、および第5のFETのオフ容量または第6のFETのオフ容量として与えられるキャパシタから成る $\pi$ 形ローパスフィルタが構成されて高周波信号について位相に遅れが生じる回路状態となり、第1のFETまたは第2のFETのオフ容量と第1のインダクタとが直列共振回路を構成するように各素子値を設定しておけば、第1のFETおよび第2のFETをオフ状態とし第3のFET、第4のFET、第5のFETおよび第6のFETをオン状態とした際には入力端子と出力端子との間において第1のFETのオフ容量または第2のFETのオフ容量として与えられるキャパシタ、第2のインダクタおよび第3のインダクタから成る $\pi$ 形ハイパスフィルタが構成されて高周波信号について位相に進みが生じる回路状態となって、これら2つの回路状態を切り換えることで与えられる通過位相差に基づいて所望の移相量を得ることができるという効果を奏する。また、FETのオン・オフ制御に基づいてハイパスフィルタとローパスフィルタとを切り換えることができるので、受動素子で構成したハイパスフィルタとローパスフィルタとを単極双投スイッチで切り換える移相器と比較すると小型化することができるという効果を奏する。

【0063】この発明によれば、第1のFET、第2のFET、第3のFET、第4のFET、第5のFETおよび第6のFETにそれぞれ接続される第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャ

パシタ、第5のキャパシタおよび第6のキャパシタを備えるように構成したので、例えばこれらのキャパシタをMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するよりも小型化することができるために、移相器をさらに小型化することができるという効果を奏する。

【0064】この発明によれば、入力端子および出力端子と、入力端子と出力端子との間で入力端子から順に直列に接続される第1のFET、第1のインダクタ、第2のFET、第3のFET、第2のインダクタおよび第4のFETと、第2のFETと第3のFETとの接続部位と接地部との間で接続部位から順に直列に接続される第5のFET、第3のインダクタおよび第6のFETと、第1のFET、第2のFET、第3のFETおよび第4のFETのそれぞれのゲートに共通に接続される第1の制御端子と、第5のFETおよび第6のFETのそれぞれのゲートに共通に接続される第2の制御端子とを備えるように構成したので、第5のFETまたは第6のFETのオフ容量と第3のインダクタとが直列共振回路を構成するように各素子値を設定しておけば、第1のFET、第2のFET、第3のFETおよび第4のFETをオン状態とし第5のFETおよび第6のFETをオフ状態とした際には入力端子と出力端子との間において第1のインダクタ、第2のインダクタ、および第5のFETのオフ容量または第6のFETのオフ容量として与えられるキャパシタから成るT形のローパスフィルタが構成されて高周波信号について位相に遅れが生じる回路状態となり、また第1のFETまたは第2のFETのオフ容量と第1のインダクタとが直列共振回路を構成し、第3のFETまたは第4のFETのオフ容量と第2のインダクタとが直列共振回路を構成するように各素子値を設定しておけば、第1のFET、第2のFET、第3のFETおよび第4のFETをオフ状態とし第5のFETおよび第6のFETをオン状態とした際には入力端子と出力端子との間において第1のFETのオフ容量または第2のFETのオフ容量として与えられるキャパシタ、第3のFETのオフ容量または第4のFETのオフ容量として与えられるキャパシタ、および第3のインダクタから成るT形ハイパスフィルタが構成されて高周波信号について位相に進みが生じる回路状態となって、これら2つの回路状態を切り換えることで与えられる通過位相差に基づいて所望の移相量を得ることができるという効果を奏する。また、FETのオン・オフ制御に基づいてハイパスフィルタとローパスフィルタとを切り換えることができるので、受動素子で構成したハイパスフィルタとローパスフィルタとを単極双投スイッチで切り換える移相器と比較すると小型化することができるという効果を奏する。

【0065】この発明によれば、第1のFET、第2のFET、第3のFET、第4のFET、第5のFETお

よび第6のFETにそれぞれ接続される第1のキャパシタ、第2のキャパシタ、第3のキャパシタ、第4のキャパシタ、第5のキャパシタおよび第6のキャパシタを備えるように構成したので、例えばこれらのキャパシタをMIMキャパシタで構成すれば、同じ容量をFETのオフ容量で実現するよりも小型化することができるために、移相器をさらに小型化することができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による移相器の構成を示す図である。

【図2】 図1に示された移相器の等価回路を示す図である。

【図3】 図2に示された移相器が第1の回路状態にある際の等価回路を示す図である。

【図4】 図2に示された移相器が第2の回路状態にある際の等価回路を示す図である。

【図5】 この発明の実施の形態2による移相器の構成を示す回路図である。

【図6】 この発明の実施の形態3による移相器の構成を示す回路図である。

【図7】 図6に示された移相器が第1の回路状態にある際の等価回路を示す図である。

【図8】 図6に示された移相器が第2の回路状態にある際の等価回路を示す図である。

【図9】 この発明の実施の形態4による移相器の構成を示す回路図である。

【図10】 この発明の実施の形態5による移相器の構成を示す回路図である。

【図11】 図10に示された移相器が第1の回路状態にある際の等価回路を示す図である。

【図12】 図10に示された移相器が第2の回路状態にある際の等価回路を示す図である。

【図13】 この発明の実施の形態6による移相器の構成を示す回路図である。

【図14】 図13に示された移相器が第1の回路状態にある際の等価回路を示す図である。

【図15】 図13に示された移相器が第2の回路状態にある際の等価回路を示す図である。

【図16】 この発明の実施の形態7による移相器の構成を示す回路図である。

【図17】 図16に示された移相器が第1の回路状態

にある際の等価回路を示す図である。

【図18】 図16に示された移相器が第2の回路状態にある際の等価回路を示す図である。

【図19】 この発明の実施の形態8による移相器の構成を示す回路図である。

【図20】 この発明の実施の形態9による移相器の構成を示す回路図である。

【図21】 この発明の実施の形態10による移相器の構成を示す回路図である。

【図22】 従来の移相器を示す回路図である。

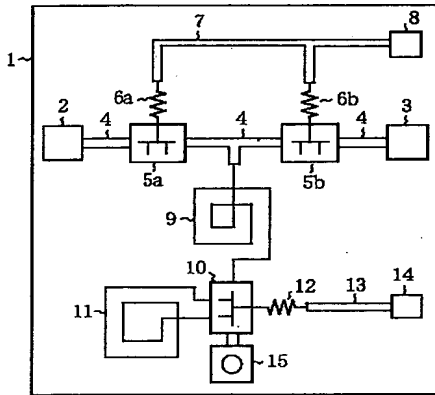
【図23】 図22に示された移相器がローパスフィルタとして機能する際の等価回路を示す図である。

【図24】 図22に示された移相器がハイパスフィルタとして機能する際の等価回路を示す図である。

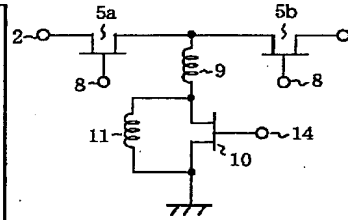
【符号の説明】

1 誘電体基板、2 入力端子、3 出力端子、4 主線路、5a, 31a, 42a, 51a, 61a, 81a FET(第1のFET)、5b, 31b, 42b, 51b, 61b, 81b FET(第2のFET)、6a, 6b, 12 バイアス印加用抵抗、7, 13 バイアス印加用線路、8, 14, 43, 45 制御用バイアス端子、9, 33, 41, 53a, 63, 83 インダクタ(第1のインダクタ)、10, 31c, 44, 51c, 64a, 81c FET(第3のFET)、11, 35a, 46, 53b, 66, 84 インダクタ(第2のインダクタ)、15 スルーホール、16, 17a, 17b, 36a, 36b, 36c, 37, 47a, 47b, 48, 54, 55, 68a, 68b, 69 キャパシタ、21a, 34a, 71a, 91a キャパシタ(第1のキャパシタ)、21b, 34b, 71b, 91b キャパシタ(第2のキャパシタ)、32, 52 制御用バイアス端子(制御端子)、35b, 67, 87 インダクタ(第3のインダクタ)、56 インダクタ、62, 82 制御用バイアス端子(第1の制御端子)、64b, 81d FET(第4のFET)、64c, 85a FET(第5のFET)、64d, 85b FET(第6のFET)、65, 86 制御用バイアス端子(第2の制御端子)、71c, 91c キャパシタ(第3のキャパシタ)、71d, 91d キャパシタ(第4のキャパシタ)、71e, 91e キャパシタ(第5のキャパシタ)、71f, 91f キャパシタ(第6のキャパシタ)。

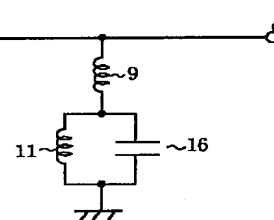
【図1】



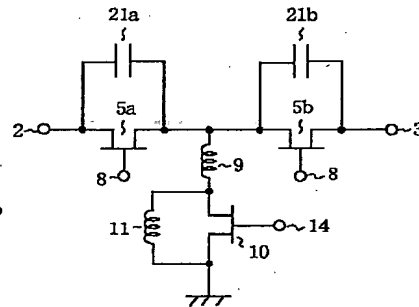
【図2】



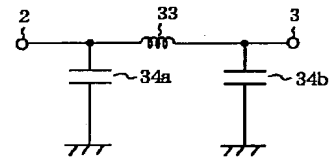
【図3】



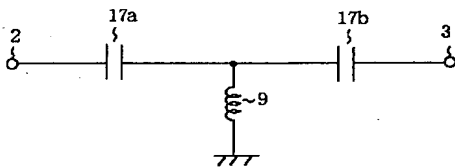
【図5】



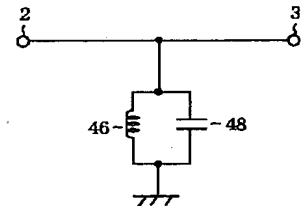
【図7】



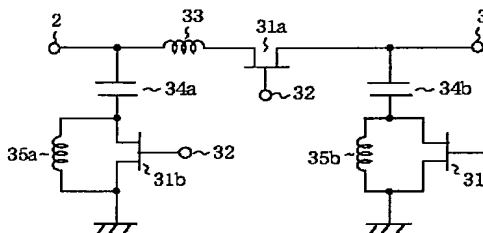
【図4】



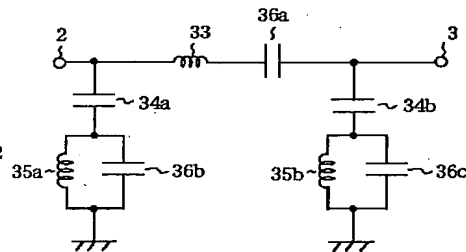
【図12】



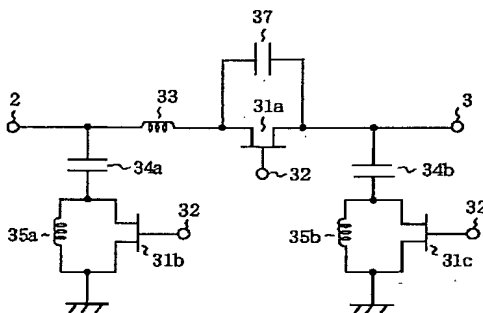
【図6】



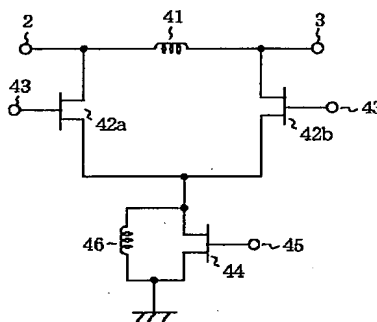
【図8】



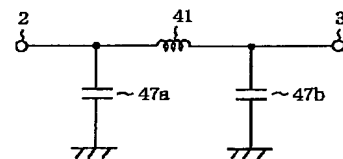
【図9】



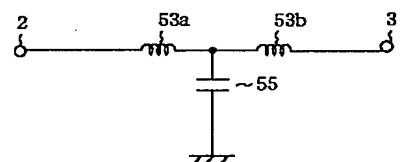
【図10】



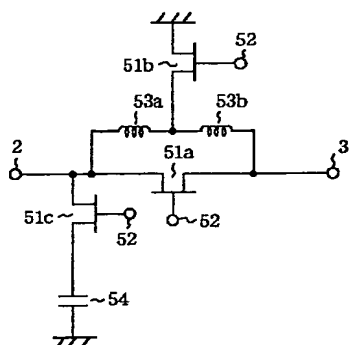
【図11】



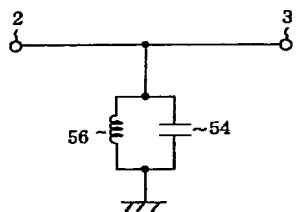
【図14】



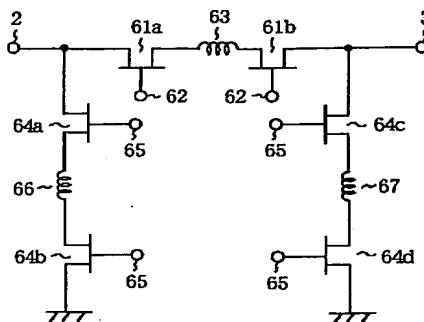
【図13】



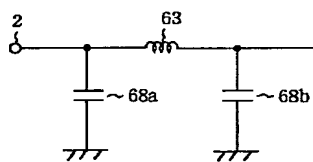
【図15】



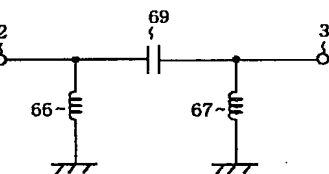
【図16】



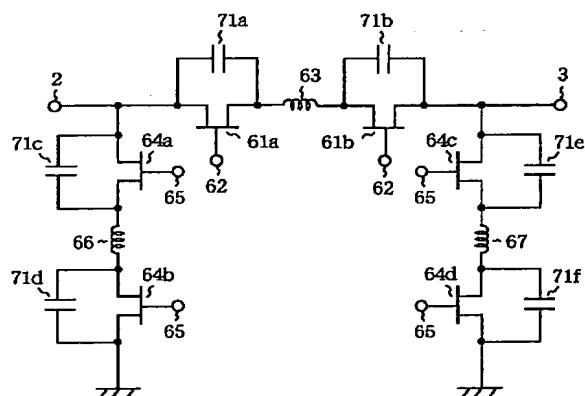
【図17】



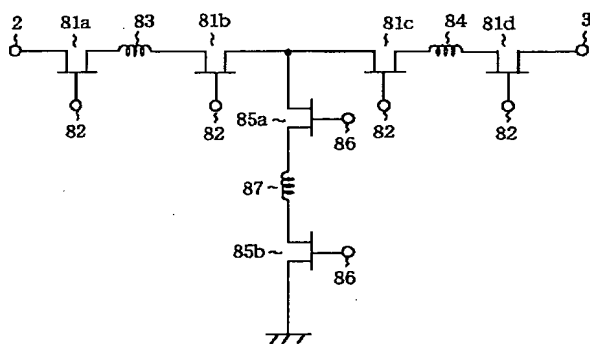
【図18】



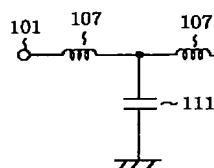
【図19】



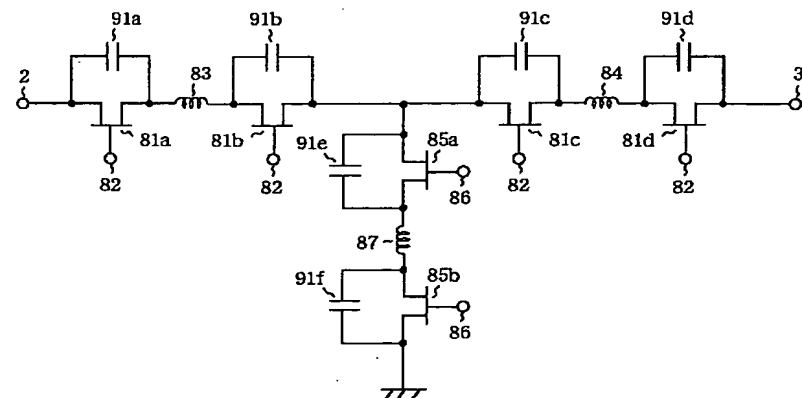
【図20】



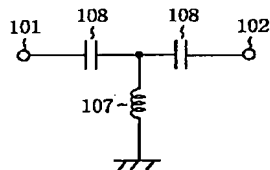
【図23】



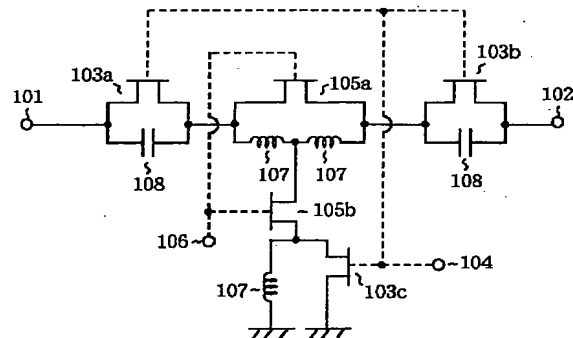
【図21】



【図24】



【図 22】



フロントページの続き

(72) 発明者 檜枝 護重  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

(72) 発明者 高木 直  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

Fターム(参考) 5J098 AA03 AA14 AA16 AC04 AC14  
 AC20 AC21 AD25 DA03